

(6)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-238139

(43) 公開日 平成9年(1997)9月9日

(51) Int.Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 L 12/28		9466-5K	H 0 4 L 11/20	D
12/26			H 0 4 Q 3/00	
H 0 4 Q 3/00		9466-5K	H 0 4 L 11/12	

審査請求 未請求 請求項の数10 O L (全 16 頁)

(21) 出願番号 特願平8-17242

(22) 出願日 平成8年(1996)2月2日

(31) 優先権主張番号 特願平7-343570

(32) 優先日 平7(1995)12月28日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番1号

(72) 発明者 工藤 裕之

福岡県福岡市博多区博多駅前一丁目4番4号 富士通九州通信システム株式会社内

(72) 発明者 内場 誠

福岡県福岡市博多区博多駅前一丁目4番4号 富士通九州通信システム株式会社内

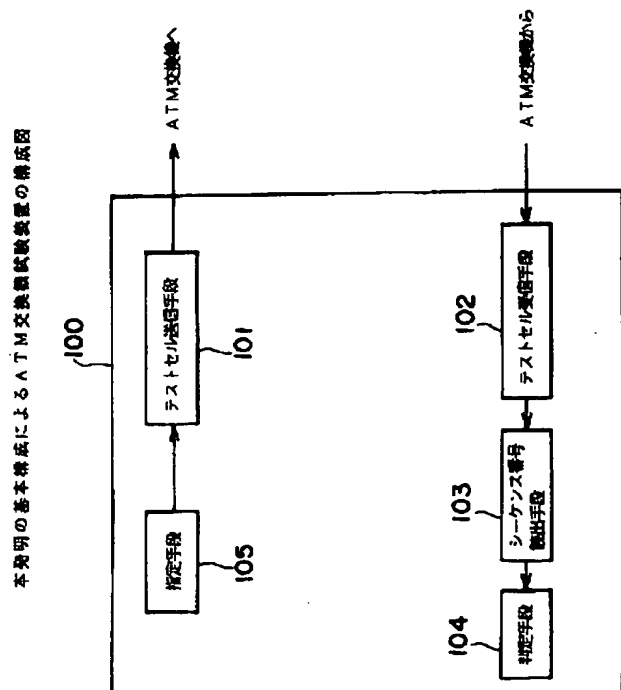
(74) 代理人 弁理士 井桁 貞一

(54) 【発明の名称】 ATM交換機試験装置

(57) 【要約】

【課題】本発明は、ATM交換機内の通信経路の導通状態や品質を行う場合に、セルの損失に加えて、セルの重複やセルの順序の入れ替え等を判別することができ、またテストセルの伝送速度を均等化して精度の高い試験を行える装置を提供することを課題とする。

【解決手段】ATMセルのペイロード部にシーケンス番号が付加された所定数のテストセルを、前記シーケンス番号の順序に従って、ATM交換機内の通信経路へ送信するテストセル送信手段と、このテストセル送信手段によって送信された前記テストセルが前記ATM交換機内で折り返されて送信されてくると、それらのテストセルを受信するテストセル受信手段と、このテストセル受信手段によって受信されたテストセルのペイロード部から、順次シーケンス番号を読み出すシーケンス番号読出手段と、このシーケンス番号読出手段によって読み出されたシーケンス番号と、シーケンス番号の期待値とを比較して、前記ATM交換機の導通・品質を判定する判定手段とを備えるATM交換機試験装置。



【特許請求の範囲】

【請求項1】 ATMセルのペイロード部にシーケンス番号が付加された所定数のテストセルを、前記シーケンス番号の順序に従って、ATM交換機内の通信経路へ送信するテストセル送信手段と、
前記テストセル送信手段によって送信された前記テストセルが前記ATM交換機内で折り返されて送信されてくると、それらのテストセルを受信するテストセル受信手段と、
前記テストセル受信手段によって受信されたテストセルのペイロード部から、順次シーケンス番号を読み出すシーケンス番号読出手段と、
前記シーケンス番号読出手段によって読み出されたシーケンス番号と、シーケンス番号の期待値とを比較して、前記ATM交換機の導通・品質を判定する判定手段と、を備えるATM交換機試験装置。

【請求項2】 前記期待値は、
前記テストセルに書き込まれるシーケンス番号の初期値と同一の値を初期値として保持し、
前記判定手段によって、前記シーケンス番号読出手段によって読み出されたシーケンス番号の数値が前記期待値以上であることが判定されると、前記読み出されたシーケンス番号を一つインクリメントした値に更新され、
前記判定手段によって、前記シーケンス番号読出手段によって読み出されたシーケンス番号の数値が前記期待値未満であることが判定されると、そのままの値を保持する、請求項1記載のATM交換機試験装置。

【請求項3】 前記判定手段は、
前記シーケンス番号読出手段によって読み出されたシーケンス番号の数値と前記期待値とが等しければ、前記ATM交換機が正常であることを判定し、
前記シーケンス番号読出手段によって読み出されたシーケンス番号の数値が前記期待値よりも大きければ、前記ATM交換機内でテストセルの損失が発生したことを判定し、
前記シーケンス番号読出手段によって読み出されたシーケンス番号の数値が前記期待値よりも小さければ、前記ATM交換機内で前記テストセルの重複あるいは順序の入れ替えが発生したことを判定する、請求項1記載のATM交換機試験装置。

【請求項4】 前記判定手段は、
前記シーケンス番号読出手段によって読み出されたシーケンス番号の数値が前記期待値よりも大きい場合には、前記シーケンス番号と前記期待値との差分を、損失されたテストセルの個数として計数し、
前記シーケンス番号読出手段によって読み出されたシーケンス番号の数値が前記期待値より小さい場合には、前記テストセルの重複あるいは前記テストセルの順序の入れ替えが発生した回数を計数する、請求項3記載のATM交換機試験装置。

【請求項5】 前記テストセルのセル発生速度を、セル発生速度パラメータにより指定する指定手段を設け、
前記セル送信手段は、前記指定手段により指定されたセル発生速度パラメータに基づいて、前記テストセルの発生速度を制御する、請求項1記載のATM交換機試験装置。

【請求項6】 前記指定手段は、Pを自然数とするとともにQをP以下の自然数とした場合に、前記セル発生速度パラメータをP及びQの組で指定し、

10 前記セル送信手段は、
前記セル発生速度パラメータ指定手段から前記セル発生速度パラメータが指定されると、PをQで割った時の商をRとして求めるとともにその余りをSとして求める演算部と、
セル発生速度が最大ならばR個のセルを送信可能な時間幅内に1個のテストセルを送信する状態を生成する第1状態生成部と、
セル発生速度が最大ならば(R+1)個のセルを送信可能な時間幅内に1個のテストセルを送信する状態を生成する第2状態生成部と、
20 前記第1状態生成部で生成された状態と前記第2状態生成部で生成された状態に従って前記テストセルの送信を行う実行部とを有する、請求項5記載のATMコネクション試験装置。

【請求項7】 前記セル送信手段の前記実行部は、(Q-S)とSとが倍数関係にあり、大の方を小の方で割った比がTで表される場合に、

(Q-S) ≥ Sならば、前記第1状態生成部で生成された状態をT回続けて実行する毎に、前記第2状態生成部で生成された状態を1回実行することをS回繰り返す、
30 (Q-S) < Sならば、前記第1状態生成部で生成された状態を1回実行する毎に、前記第2状態生成部で生成された状態をT回続けて実行することを(Q-S)回繰り返す、請求項6記載のATMコネクション試験装置。

【請求項8】 前記セル送信手段の前記実行部は、前記前記第1状態生成部で生成された状態を(Q-S)回続けて実行する毎に、前記第2状態生成部で生成された状態をS回続けて実行する、請求項6記載のATMコネクション試験装置。

40 【請求項9】 前記セル送信手段は、互いに異なる割合でテストセルを送信する状態を生成する複数の状態生成部と、
前記複数の状態生成部で生成された状態を順番に実行する実行部とを有する、請求項1記載のATMコネクション試験装置。

【請求項10】 前記指定手段は、前記セル発生速度パラメータをQだけで指定する請求項5記載のATMコネクション試験装置。

【発明の詳細な説明】

3

【発明の属する技術分野】本発明は、ATM交換機の導通・品質を試験するATM交換機試験装置に関する。

【0002】

【従来の技術】従来、ATM交換機内の通信経路の導通状態や品質を試験する方法として、図14に示すように、ペイロード部にシーケンス番号(SN)が書き込まれた試験用のATMセル(以下、テストセルと称する)を利用する方法が知られている。テストセルを利用した具体的な試験方法としては、試験対象の通信経路の一方の終端部から複数のテストセルを送信し、前記通信経路の他方の終端部でテストセルのシーケンス番号を参照して、テストセルの送信順序が保たれているか否かを判別する方法が例示できる。

【0003】この方法では、受信側の終端部においてテストセルの送信順序が保たれていれば、前記通信経路の正常性が判定され、またテストセルの送信順序が保たれていなければ、前記通信経路でセルが損失されたことが判定される。

【0004】

【発明が解決しようとする課題】ところで、ATM交換機内の通信経路の導通状態や品質を試験する場合には、ATM交換機のスイッチ部分の切替のタイミングにより、テストセルの順序が入れ替わったり、同じテストセルが重複して送信されるといった異常が発生することがあるが、上記の方法では、これらの異常を検出することができないという問題がある。

【0005】また、上記のような試験を高い精度で行うためには、テストセルの伝送速度の変動を少なくすること、すなわち、テストセルの伝送帯域の変動を少なくすることが重要である。そこで、本発明は、前記問題点に鑑みてなされものであり、ATM交換機内の通信経路の導通状態や品質を行う場合に、セルの損失に加えて、セルの重複やセルの順序の入れ替え等を判別することができ、またテストセルの伝送速度を均等化して精度の高い試験を行える装置を提供することを課題とする。

【0006】

【課題を解決するための手段】本発明は、前述した課題を解決するために以下のような手段を採用した。これを図1の原理図に沿って説明する。すなわち、本発明のATM交換機試験装置100は、試験対象となるATM交換機へ所定数のテストセルを送信し、前記ATM交換機から折り返し送信されてくるテストセルの状態を監視することにより、前記ATM交換機の導通・品質を試験する装置であり、テストセル送信手段101、テストセル受信手段102、シーケンス番号読出手段103、及び判定手段104を備えている。

【0007】テストセル送信手段101は、ATMセルのペイロード部にシーケンス番号が書き込まれた所定数のテストセルを、前記シーケンス番号の順序に従って、ATM交換機へ送信する。テストセル受信手段102

4

は、テストセル送信手段101によって送信されたテストセルが前記ATM交換機によって折り返し送信されてくると、それらのテストセルを順次受信する。

【0008】シーケンス番号読出手段103は、テストセル受信手段102によって受信されたテストセルのペイロード部から、順次シーケンス番号を読み出す。判定手段104は、シーケンス番号読出手段103によって読み出されたシーケンス番号と、シーケンス番号の期待値とを比較して、前記ATM交換機の導通状態や品質を判定する(請求項1に対応)。

【0009】ここで、期待値は、テストセルに書き込まれるシーケンス番号の初期値と同一の値を初期値として保持し、判定手段104によって比較されたシーケンス番号の数値と期待値とが一致する場合、あるいはシーケンス番号の値が期待値よりも大きい場合には、前記比較されたシーケンス番号を一つインクリメントした値に更新されるようにし、シーケンス番号の数値が期待値未満であることが判定された場合には、そのままの値を保持するようにしてもよい(請求項2に対応)。尚、期待値の更新処理は、判定手段104が行うようにしてもよい。

【0010】また、判定手段104は、シーケンス番号読出手段103によって読み出されたシーケンス番号と期待値とが一致すれば、ATM交換機の導通状態や品質が正常であることを判定し、シーケンス番号と期待値とが不一致ならばATM交換機の導通状態や品質に異常が発生したことを判定するようにしてもよい。例えば、判定手段104は、テストセルから読み出されたシーケンス番号が期待値よりも大きければ、ATM交換機内でテストセルの損失が発生したことを判定し、あるテストセルから読み出されたシーケンス番号が期待値よりも小さい場合には、ATM交換機内でテストセルの重複あるいはテストセルの順序の入れ替えが発生したことを判定するようにしてもよい(請求項3に対応)。

【0011】さらに、判定手段104は、ATM交換機内でテストセルが損失されたことが判定されると、シーケンス番号番号と期待値との差分を、損失されたテストセルの個数として計数するようにしてもよい。また、判定手段104は、ATM交換機内でテストセルの重複やテストセルの順序の入れ替えが発生したことが判定されると、そのような異常が発生した回数を計数するようにしてもよい(請求項4に対応)。

【0012】また、本発明のATM交換機試験装置は、更に指定手段105を備えるようにしてもよい。この指定手段105は、テストセルのセル発生速度を、セル発生速度パラメータにより指定するものである。このようにした場合、テストセル送信手段101は、指定手段105によって指定されたセル発生速度パラメータに従ってテストセルの伝送速度を変更するものとする(請求項5に対応)。

【0013】指定手段105による指定方法としては、Pを自然数とするとともにQをP以下の自然数とした場合に、前記セル発生速度パラメータをPとQの組で指定するようにしても良い。このようにした場合、テストセル送信手段101は、PをQで割った時の商Rと余りSとを求める演算部と、セル発生速度が最大ならばR個のセルを送信可能な時間幅内に1個のテストセルを送信する状態を生成する第1状態生成部と、セル発生速度が最大ならば(R+1)個のセルを送信可能な時間幅内に1個のセルを送信する状態を生成する第2状態生成部と、前記第1状態生成部で生成された状態と前記第2状態生成部で生成された状態と組み合わせてテストセルの送信を行う実行部とを具備するようにしてもよい(請求項6に対応)。

【0014】さらに、テストセル送信手段101の実行部は、(Q-S)とSとが倍数関係にあり、大の方を小の方で割った比がTで表される場合に、(Q-S) ≥ Sならば、第1状態生成部で生成された状態をT回続けて実行した後に、第2状態生成部で生成された状態を1回実行することをS回繰り返す(あるいは、第2状態生成部で生成された状態を1回実行した後に、第1状態生成部で生成された状態をT回続けて実行することをS回繰り返す)ようにしてもよい。また、テストセル送信手段101の実行部は、(Q-S) < Sならば、第1状態生成部で生成された状態を1回実行した後に、第2状態生成部で生成された状態をT回続けて実行することを(Q-S)回繰り返す(あるいは、第2状態生成部で生成された状態をT回続けて実行した後に、第1状態生成部で生成された状態を1回実行することを(Q-S)回繰り返す)ようにしてもよい(請求項7に対応)。

【0015】また、テストセル送信手段101の実行部は、第1状態生成部で生成された状態を、セル発生速度パラメータ(Q)から余り(S)を減算した値(Q-S)の回数続けて実行する毎に、第2状態生成部で生成された状態を前記余り(S)の値の回数続けて実行するようにしてもよい(請求項8に対応)。さらに、テストセル送信手段101は、互いに異なる割合でテストセルを送信する状態を生成する複数の状態生成部と、各状態生成部で生成された状態を順次実行する実行部とを備えるようにしてもよい(請求項9に対応)。

【0016】また、指定手段105は、テストセルのセル発生速度を、一つのセル発生速度パラメータで指定するようにしてもよい(請求項10に対応)。

【0017】

【発明の実施の形態】以下、本発明の実施形態について図面に沿って説明する。本実施形態では、本発明のATM交換機試験装置をATM交換機の一モジュールとして提供し、ATM交換機内における通信パスの導通状態や品質を試験する場合を例に挙げて説明する。

【0018】図2は、本発明のATM交換機試験装置を

適用するATM交換機の概略構成を示す。同図に示すように、ATM交換機は、加入者回路10、第1セル多重分離回路20-1、ATMスイッチ30、帯域管理装置40、交換機制御コンソール50、第2セル多重分離回路20-2、及びATM交換機試験装置100を備えている。

【0019】そして、ATM交換機試験装置100から、第2セル多重分離回路20-2、ATMスイッチ30、及び第1セル多重分離回路20-1を経て加入者回路10に接続され、且つ、加入者回路10内で折り返されて、第1セル多重分離回路20-1、ATMスイッチ30、及び第2セル多重分離回路20-2を経てATM交換機試験装置100に接続される試験用ATMコネクション200が設定されている。

【0020】この試験用ATMコネクション200は、上記の装置間を結ぶ通信パスの導通状態や品質の試験用のテストセルを伝送するために設定されたコネクションである。尚、本実施形態では、試験用ATMコネクション200の、ATM交換機試験装置100から加入者回路10へ向かう方向を方向を「下り方向」と称し、加入者回路10からATM交換機試験装置100へ向かう方向を「上り方向」と称するものとする。

【0021】加入者回路10は、第1セル多重分離回路20-1に接続されていると共に、図示していない多数の加入者端末と加入者回線によって接続されている。この加入者回路10は、第1セル多重分離回路20-1からのデータを、その宛先の加入者端末へつながら加入者回線へ出力するものであるが、試験用ATMコネクション200が設定されたときには、第1セル多重分離回路20-1からのテストセルを、折り返し第1セル多重分離回路20-1へ出力するようになっている。図2では、加入者回路10は1個しか示されていないが、複数設けられていてもよい。

【0022】第1セル多重分離回路20-1は、加入者回路10とATMスイッチ30とに接続されている。そして、第1セル多重分離回路20-1は、「上り方向」において、複数の仮想パス(VP)及び仮想チャネル(VC)からのセルを1本のセル流に乗せるとともに、「下り方向」において、1本のセル流からセルを分離し、VPあるいはVCごとに分配する。

【0023】ATMスイッチ30は、第1セル多重分離回路20-1、第2セル多重分離回路20-2及び帯域管理装置40に接続されている。そして、ATMスイッチ30は、受信されたATMセルのヘッダ部に書き込まれている情報に従って前記ATMセルの宛先を識別し、識別された宛先の出力伝送路へ前記ATMセルを送信する。

【0024】帯域管理装置40は、ATMスイッチ30とコンソール50とに接続されている。そして、帯域管理装置40は、加入者回路10毎の帯域管理、ATMセ

10

20

30

40

50

ルのヘッダ部を変換した場合の値の管理、ＡＴＭ交換機全体の故障管理等を行う。交換機制御コンソール５０は、帯域管理装置４０に接続されている。そして、交換機制御コンソール５０は、図示していない文字キー、数字キー、記号キー、機能キー、マウス等を有し、ＡＴＭ交換機に対する制御指令を入力するのに用いられる。

【００２５】第２セル多重分離回路２０－２は、ＡＴＭ交換機試験装置１００とＡＴＭスイッチ３０とに接続されている。そして、「下り方向」において、複数の仮想パス（ＶＰ）及び仮想チャネル（ＶＣ）からのセルを１本のセル流に乗せるとともに、「上り方向」において、１本のセル流からセルを分離し、ＶＰあるいはＶＣごとに分配する。

【００２６】ＡＴＭ交換機試験装置１００は、第２セル多重分離回路２０－２に接続されている。そして、試験用のテストセルを試験用ＡＴＭコネクション２００の下り方向に送信するとともに、試験用ＡＴＭコネクション２００の上り方向からのテストセルを受信することで、試験用ＡＴＭコネクション２００の導通状態及び品質を試験することにより、ＡＴＭ交換機内の通信パスの導通状態や品質を判定する。

【００２７】ここで、ＡＴＭ交換機試験装置１００から送信されるテストセルは、図３に示すように、ヘッダ部とペイロード部からなる固定長のパケットである。そして、ヘッダ部は、ＴＡＧ、ＶＰＩ、ＶＣＩ、ＰＴＩ及びＣＬＰからなり、ペイロード部は、本発明のシーケンス番号を書き込むためのＳＮ、ＣＲＣ、及び情報フィールドからなる。

【００２８】本実施形態では、シーケンス番号を書き込むための領域ＳＮに、１６ビット幅が割り当てられている。ここで、ＡＴＭ交換機試験装置１００のハードウェア構成について図４を参照して説明する。ＡＴＭ交換機試験装置１００は、ＭＰＵ１１１、ファームウェア１１２、バス１１３、レジスタ１１４、セル発生速度制御部１２１、ヘッダ生成部１２２、ＳＮカウンタ１２３、ＣＲＣ演算部１２４、第１疑似ランダムパターン生成部１２５、テストセル組立部１４１、送信バッファ１４２、総セル数カウンタ１３１、ヘッダチェック部１３２、ＳＮエラーカウンタ１３３、ＳＮチェック部１３４、ＳＮカウンタ１３５、ＳＮＮＧカウンタ１３６、ＣＲＣチェック部１３７、エラービット計数部１３８、第２疑似ランダムパターン生成部１３９、セル分解部１４３及び受信バッファ１４４から構成されている。

【0029】MPU111は、バス113に接続されており、ATM交換機試験装置100全体の制御を行う。ファームウェア112は、バス113に接続されており、MPU111を補助する形でATM交換機試験装置100全体の制御を行う。レジスタ114は、バス113に接続されており、セル発生速度制御用の制御パラメータ、テストセル発生個数値、テストセルのヘッダ部に

書き込まれるヘッダ設定値（TAG、VPI、VCI、PT、CLP）、ヘッダ照合値、受信されたテストセルの総数、試験用ATMコネクション200上で損失されたテストセルの個数、試験用ATMコネクション200上でテストセルの重複や順序の入れ替えが発生した回数、及びテストセルのヘッダ部のデータに発生したエラービットのビット数を記憶している。

【0030】セル発生速度制御部121は、レジスタ114と、テストセル組立部141とに接続されている。

10 そして、セル生成速度制御部 1 2 1 は、レジスタ 1 1 4 から制御パラメータが出力されると、この制御パラメータに従ったタイミングでセル送信要求信号を出力する。詳細には、セル発生速度制御部 1 2 1 は、図 5 に示すように、制御部 1 2 1 a、第 1 状態生成部 1 2 1 c、第 2 状態生成部 1 2 1 d 及びセル送信要求信号送信部 1 2 1 b から構成されている。尚、本実施形態では、テストセルの伝送速度は、6 4 KBPS～1 5 5 . 5 2 MBPS の範囲内で、6 4 KBPS 単位（6 4 KBPS の倍数）で制御されるものとする。以下の説明において、テストセルの伝送速度が

20 最大値（1 5 5 . 5 2 MBPS）のときに、2 4 3 0 個のセルを送信（6 4 KBPS 毎に 1 個のセルを送信）するのに要する時間幅を 1 フレームと称する。また、制御パラメータ Q は、テストセルの伝送速度を、6 4 KBPS の何倍にするか、すなわち、1 フレーム中に何個の有効セルを送信するかを示すものとする。

【0031】セル発生速度制御部121の制御部121aは、以下の1)～3)の処理を行う。

1) レジスタ 111 から出力された制御パラメータ Q を入力する。

30 2) 2430を制御パラメータQで割った時の商Rと、その余りSを求める。但し、前記商Rと余りSは自然数であり、商Rは一つのセルを送信するためのタイムスロットの大きさを示し、余りSは空き時間の大きさを示す。

3) Q、R及びSの値を、第1状態生成部121c及び第2状態生成部121dに出力する。

【0032】第1状態生成部121cは、以下の1)～5)の処理を行う。

1) 制御部 121a から出力された Q、R 及び S の値を
40 入力する。

2) セル発生速度が最大ならばR個のセルを送信可能な時間幅内に1個のセル送信要求信号を生成する(第1状態)。この状態を、(Q-S)回繰り返す。

3) 生成されたセル送信要求信号を、その生成の都度、セル送信要求信号送信部121bに出力する。

4) 第1状態を(Q-S)回繰り返して、(Q-S)個のセルが送信された時点で、第1状態終了通知信号を第2状態生成部121dに通知するとともに、セル送信要求信号の生成を中断する。

50 5) 第2状態生成部121dからの第2状態終了通知信

号を入力した時点で、第1状態に復帰し、セル送信要求信号の生成を再開する。

【0033】具体的には、例えば、Qが“127”ならば、Rが“19”で、Sが“17”となるので、第1状態生成部121cは、セル発生速度が最大ならば19個のセルを送信可能な時間幅に1個のセル送信要求信号を生成する状態を、(127-17)回連続して繰り返すことになる。そして、第1状態生成部121cは、上記の状態を(127-17)回繰り返した後に、第2状態生成部121dに対して第1状態終了通知信号を通知するとともに、セル送信要求信号の生成を中断する。

【0034】第2状態生成部121dは、以下の1)~4)の処理を行う。

1) 制御部121aから出力されたQ、R及びSの値を入力する。

2) 第1状態生成部121cからの第1状態終了通知信号を入力する。

3) 第1状態終了通知信号の入力後、セル発生速度が最大ならば(R+1)個のセルを送信可能な時間幅内に、1個のセル送信要求信号を生成する(第2状態)。そして、この状態をS回繰り返す。

4) 生成されたセル送信要求を、その生成の都度、セル送信要求信号送信部121bに出力する。

5) 第2状態をS回繰り返して、S個のセル送信要求信号を生成した時点で、第2状態終了通知信号を第1状態生成部121dに通知するとともに、セル送信要求信号の生成を中断する。

【0035】具体的には、例えば、Qを“127”とすると、Rが“19”で、Sが“17”となるので、第2状態生成部121dは、セル発生速度が最大ならば(19+1)個のセルを送信可能な時間幅内に、1個のセル送信要求信号を生成する状態(第2状態)を、17回連続して繰り返すことになる。そして、第2状態生成部121dは、上記の状態を17回連続して繰り返した後に、第1状態生成部121cに対して第2状態終了通知信号を通知するとともに、セル送信要求信号の生成を中断する。

【0036】但し、制御部121aは、 $S \neq 0$ であり、且つ $(Q-S)$ とSとが倍数関係にある場合には、 $Q-S$ をAとし、SをBとして、AとBの比 $a:b$ を求め、算出されたa、bを第1状態生成部121cと第2状態生成部121dとに通知する。そして、第1状態生成部121cは、a、bの通知を受けると、セル発生速度が最大ならばR個のセルを送信可能な時間幅内に、1個のセル送信要求信号を生成する状態(第1状態)を、a回繰り返したのちに、第2状態生成部121dに第1状態終了通知信号を出力する。そして、第2状態生成部121dは、第1状態生成部121cからの第1状態終了通知信号を入力すると、セル発生速度が最大が最大ならばR+1個のセルを送信可能な時間幅内に、1個のセル送

信要求信号を生成する状態(第2状態)を、b回繰り返す。

【0037】セル送信要求信号送信部121bは、第1状態生成部121c及び第2状態生成部121dで生成されたセル送信要求信号をテストセル組み立て部141へ出力する。このとき、テストセル組み立て部141は、セル送信要求信号送信部121bからのセル送信要求信号を入力したタイミングで、テストセルを出力する。

【0038】図6(a)は、前述した条件に従って生成されたセル送信要求信号に対応したテストセル送信のタイミングを示している。尚、図6(b)は、第1状態と第2状態の区別をしない、従来のテストセル送信タイミングを示している。図6において、“T”はテストセルを表し、“A”はセル発生速度が最大ならば19個のセルを送信可能な時間幅内に1個のテストセルを送信する状態(第1状態)を表し、“B”はセル発生速度が最大ならば20個のセルを送信可能な時間幅内に1個のテストセルを送信する状態(第2状態)を表し、“C”は17個のセルを送信するのに要する時間を表している。

【0039】このように本実施形態によるセル発生速度制御部121を用いれば、従来のセル送信方法に比べ、テストセルの伝送速度を均一化することができる。従って、指定された伝送速度を守って試験用ATMコネクション200の試験が行えるようになっている。図4に戻って、ヘッダ生成部122は、レジスタ114とテスト組立部141とに接続されており、下記の1)~3)を行う。

1) レジスタ114から出力されたヘッダ設定値(TAG, VPI, VCI, PTI, CLP)を入力する。

2) 入力されたヘッダ設定値をテストセルのフォーマットのヘッダ部へ書き込んで、テストセルのヘッダ部を生成する。

3) 生成されたヘッダ部を、テストセル組立部141に出力する。

【0040】SNカウンタ123は、テストセル組立部141とCRC演算部124とに接続されており、下記の1)~2)の処理を行う。

1) カウンタ値を、テストセルのペイロード部(図3中、SN)に書き込まれるシーケンス番号として出力する。出力されたシーケンス番号は、テストセル組立部141とCRC演算部124とに入力される。

2) カウンタ値を出力すると、カウンタ値を一つインクリメントする。

【0041】CRC演算部124は、SNカウンタ123とテストセル組立部141とに接続されており、下記の1)~2)の処理を行う。

1) SNカウンタ123から出力されたシーケンス番号を、符号化して、伝送エラー検出用のエラーチェックコードを算出する。

2) 算出されたエラーチェックコードをテストセル組立部141に出力する。

【0042】第1疑似ランダムパターン生成部(PRBS23生成部)125は、テストセル組立部141に接続されており、下記の1)~2)の処理を行う。

1) テストセルのビットエラーを調べるのに用いられる疑似ランダムパターンを、CCITT勧告のO151に準拠して生成する。

2) 生成された疑似ランダムパターンをテストセル組立部141に出力する。

【0043】テストセル組立部141は、セル発生速度制御部121、ヘッダ生成部122、SNカウンタ123、CRC演算部124、第1疑似ランダムパターン生成部125及び送信バッファ142に接続されている。そして、テストセル組立部141は、以下の1)~4)の処理を行う。

1) SNカウンタ123から出力されたシーケンス番号を、テストセルフォーマットのペイロード部のSNに書き込む。

2) CRC演算部124から出力されたエラーチェックコードを、テストセルフォーマットのペイロード部のCRCに書き込む。

3) 第1疑似ランダムパターン生成部(PRBS23生成部)125から出力された疑似ランダムパターンを、テストセルフォーマットのペイロード部の情報フィールドに書き込む。

4) シーケンス番号、エラーチェックコード、及び疑似ランダムパターンが書き込まれたペイロード部に、ヘッダ生成部122から出力されたヘッダ部を付加して、テストセルを生成する。

【0044】上記1)~4)の処理が実行されることによって生成されたテストセルは、送信バッファ142に一旦格納された後、セル発生速度制御部121から出力されたセル送信要求信号に従って試験用ATMコネクション200の「下り方向」へ送信される。一方、受信バッファ144は、試験用ATMコネクション20の「上り方向」から送信されてきたテストセルを受信する。この受信バッファ144は、テストセル分解部143と接続されており、受信されたテストセルを一時的に格納した後、テストセル分解部143へ出力する。

【0045】テストセル分解部143は、受信バッファ144、ヘッダチェック部132、SNチェック部134、CRCチェック部137、及びエラービット計数部138に接続されている。そして、テストセル分解部143は、以下の1)~6)の処理を行う。

1) 受信バッファ144から出力されたテストセルを入力する。

2) 入力されたテストセルをヘッダ部とペイロード部とに分解する。

3) 分解されたヘッダ部をヘッダチェック部132へ出

力する。

4) 分解されたペイロード部のSNからシーケンス番号を読み出し、読み出されたシーケンス番号をSNチェック部134及びCRCチェック部137へ出力する。

5) 分解されたペイロード部のCRCからエラーチェックコードを読み出し、読み出されたエラーチェックコードをCRCチェック部137へ出力する。

6) 分解されたペイロード部の情報フィールドから疑似ランダムパターンを読み出し、読み出された疑似ランダムパターンをエラービット計数部138へ出力する。

【0046】ヘッダチェック部132は、レジスタ114とテストセル分解部143と総セル数カウンタ131とSNカウンタ135とCRCチェック部137とに接続されており、セル分解部143から出力されたヘッダ部からヘッダ設定値を読み出す。そして、ヘッダチェック部132は、読み出されたヘッダ設定値と、レジスタ114に記憶されているヘッダ設定値とを照合する。ここで、前記読み出されたヘッダ設定値とレジスタ114に記憶されているヘッダ設定値とが一致すると、ヘッダチェック部132は、SNカウンタ135とCRCチェック部137とに対して、ヘッダ設定値が一致したことを示す信号を出力する。一方、前記読み出されたヘッダ設定値にビット誤りが発生していることが判定されると、ヘッダチェック部132は、ヘッダが一致しなかったことを、SNカウンタ135とCRCチェック部137とエラービット計数部138と第2疑似ランダムパターン生成部(PRBS23生成部)139とに通知し、動作を抑止する。さらに、ヘッダチェック部132は、ヘッダ設定値の照合後、総セル数カウンタ131に対して、カウンタ値のインクリメントを指定する信号を出力する。

【0047】SNカウンタ135は、本発明の期待値を生成する回路であり、ヘッダチェック部132とSNチェック部134とCRCチェック部137とに接続されている。そして、SNカウンタ135は、ヘッダチェック部132からの信号をトリガにして、期待値を出力する。また、SNカウンタ135は、以下の3つの条件が揃った場合に、テストセルから読み出されたシーケンス番号を一つインクリメントした値を新たな期待値として設定する。すなわち、(1)CRCチェック部137から、期待値の更新を許可する信号が入力され、(2)受信されたテストセルから読み出されたヘッダ設定値とレジスタ114に記憶されているヘッダ設定値とが一致したことを示す信号がヘッダチェック部132から入力され、(3)SNチェック部134から、テストセルから読み出されたシーケンス番号が期待値以上であることを示す信号が入力された場合である。

【0048】SNチェック部134は、SNカウンタ135、テストセル分解部143及びSNエラーカウンタ133に接続されている。そして、SNチェック部13

4は、SNカウンタ135から出力された期待値とセル分解部143から出力されたシーケンス番号とが一致するか否かを判別する。ここで、前記シーケンス番号と期待値とが一致すると、SNチェック部134は、SNカウンタ135に対して、前記シーケンス番号と期待値とが一致したことを示す信号を出力する。一方、前記シーケンス番号が期待値よりも大きい場合には、SNチェック部134は、前記シーケンス番号が期待値よりも大きいことを示す信号を、SNカウンタ135へ通知するとともに、前記シーケンス番号と期待値との差分を算出し、算出された差分値をSNエラーカウンタ133へ出力する。また、前記シーケンス番号が期待値よりも小さい場合には、SNチェック部134は、SNNGカウンタ136に対して、計数値をインクリメントすることを指定する信号を出力する。

【0049】SNエラーカウンタ133は、試験用ATMコネクション200上で損失されたテストセルの個数を計数するものであり、SNチェック部134とレジスタ114とに接続されている。このSNエラーカウンタ133は、SNチェック部134から、シーケンス番号と期待値との差分値を入力すると、この差分値を計数値に加算し、この加算により更新された計数値をレジスタ114へ出力する。

【0050】CRCチェック部137は、ヘッダチェック部132、テストセル分解部143に接続されており、ヘッダチェック部132においてヘッダ設定値とヘッダ照合値とが一致したことが判定されると、セル分解部143から出力されたエラーチェックコードを復号してシーケンス番号を算出する。そして、CRCチェック部137は、算出されたシーケンス番号とセル分解部143から出力されたシーケンス番号とを照合し、両者が一致すれば、SNカウンタ135に対して期待値の更新を許可することを示す信号を出力する。また、両者が不一致ならば、CRCチェック部137は、SNカウンタ135に対して、期待値の更新を禁止することを示す信号を出力する。

【0051】SNNGカウンタ136は、試験用ATMコネクション200上で、テストセルの重複あるいは順序の入れ替えが発生した回数を計数するものであり、SNチェック部134とレジスタ114とに接続されている。このSNNGカウンタ136は、SNチェック部134から、テストセルから読み出されたシーケンス番号が期待値より小さいことを示す信号が入力されると、計数値をインクリメントする。このインクリメントにより計数値が更新されると、更新後の計数値をレジスタ114へ出力する。

【0052】第2疑似ランダムパターン生成部（PRBS23生成部）139は、ヘッダチェック部132及びエラービット計数部138に接続されており、下記の1)～2)の処理を行う。

1) ヘッダチェック部132においてヘッダ設定値とヘッダ照合値とが一致したことが判定された場合に、テストセルのビットエラーを調べるのに用いられる疑似ランダムパターンを、CCITT勧告のO151に準拠して生成する。生成される疑似ランダムパターンは、直前に第1疑似ランダムパターン生成部（PRBS23生成部）125で生成された疑似ランダムパターンと一致するようになっている。

2) 生成された疑似ランダムパターンをエラービット計数部138に出力する。

【0053】エラービット計数部138は、ヘッダチェック部132、第2疑似ランダムパターン生成部139及びレジスタ114に接続されている。このエラービット計数部139は、テストセルの情報フィールドにビットエラーが発生した回数を計数するものであり、以下の1)～2)の処理を行う。

1) 第2疑似ランダムパターン生成部139から出力された疑似ランダムパターンとテストセル分解部143から出力された疑似ランダムパターンとが一致するか否かを判断する。

2) 第2疑似ランダムパターン生成部139から出力された疑似ランダムパターンとテストセル分解部143から出力された疑似ランダムパターンとが不一致の場合に、計数値を一つインクリメントする。

3) インクリメント後の計数値をレジスタ114に出力する。

【0054】以下、本実施形態の作用・効果について述べる。図7は、試験用ATMコネクションの正常性を判定する過程を示すフローチャート図である。まず、ATM交換機試験装置100は、テストセルを受信すると（ステップS1）、このテストセルのペイロード部からシーケンス番号が読み出され、この読み出されたシーケンス番号とシーケンス番号の期待値とが等しいか否かが判別される（ステップS2）。

【0055】ステップS2でシーケンス番号と期待値とが等しいことが判定されると（ステップS2のYESの経路）、受信されたテストセルから読み出されたシーケンス番号が一つインクリメントされ、インクリメントされたシーケンス番号が新たな期待値としてSNカウンタ135に設定される（ステップS7）。一方、ステップS2において、シーケンス番号と期待値とが等しくないことが判定されると（ステップS2のNOの経路）、前記シーケンス番号が期待値よりも大きいかが判別される（ステップS3）。

【0056】ステップS3において、前記シーケンス番号が期待値よりも大きいことが判定されると（ステップS3のYESの経路）、前記シーケンス番号と前記期待値との差分（W）（ステップS4）が、SNエラーカウンタ133の計数値に加算される（ステップS5）。そして、前記シーケンス番号を一つインクリメントした値

が新たな期待値としてSNカウンタ135に設定される(ステップS7)。

【0057】一方、ステップS3において、前記シーケンス番号が前記期待値よりも小さいことが判定されると(ステップS3のNOの経路)、シーケンス番号の順序性、すなわちテストセルの順序性に異常(テストセルの重複、あるいはテストセルの順序の入れ替え)が発生したことが判定され、SNNGカウンタ136の計数値が一つインクリメントされる(ステップS6)。

【0058】図8～10には、受信されたテストセルから読み出されたシーケンス番号、期待値、シーケンス番号と期待値との差分(シーケンス番号から期待値を減算した値)、及び期待値を更新するか否かについてをまとめた表が示されている。図8には、試験用ATMコネクション200上でテストセルの損失が発生した場合の上記各値の変化が示されている。具体的には、シーケンス番号が「6」であるテストセルが試験用ATMコネクション200上で損失されると、シーケンス番号が「5」であるテストセルの次に、シーケンス番号が「7」であるテストセルが受信される。シーケンス番号が「5」であるテストセルが受信された時点では、シーケンス番号と期待値との差分は「0」であり、シーケンス番号を一つインクリメントした値($5+1=6$)が新たな期待値として設定されるが、シーケンス番号が「7」であるテストセルが受信された時点では、シーケンス番号「7」と期待値「6」との差分が「1」となる。この差分の値は、試験用ATMコネクション200上で損失されたテストセルの個数を示しており、SNエラーカウンタ133の計数値に加算される。そして、SNカウンタ135の期待値は、受信されたテストセルのシーケンス番号を一つインクリメントした値($7+1=8$)へ更新される。

【0059】図9には、試験用ATMコネクション200上でテストセルの順序が入れ替わった場合の上記各値の変化が示されている。具体的には、シーケンス番号が「5」であるテストセルとシーケンス番号が「6」であるテストセルとの順序が入れ替わると、シーケンス番号が「4」であるテストセルの次に、シーケンス番号が「6」であるテストセルが受信され、続いてシーケンス番号が「5」であるテストセルが受信されることになる。シーケンス番号が「4」であるテストセルが受信された時点では、シーケンス番号と期待値との差分が「0」であり、SNカウンタ135の期待値は、受信されたテストセルのシーケンス番号を一つインクリメントした値($4+1=5$)へ更新される。そして、シーケンス番号が「6」であるテストセルが受信された時点では、シーケンス番号と期待値との差分は、「1」となる。この時点では、試験用ATMコネクション200上でテストセルが損失されたように判定され、前記差分「1」がSNエラーカウンタ133の計数値に加算され

る。そして、SNカウンタ135の期待値も、受信されたテストセルのシーケンス番号を一つインクリメントした値($6+1=7$)へ更新される。さらに、シーケンス番号が「5」であるテストセルが受信された時点では、シーケンス番号と期待値との差分は「-2」となる。この時点では、試験用ATMコネクション200上で、テストセルの重複あるいは順序の入れ替わりが発生したことが判定され、SNNGカウンタ136の計数値が一つインクリメントされることになる。但し、SNカウンタ135の期待値は更新されない。

【0060】図10には、試験用ATMコネクション200上でテストセルの重複が発生した場合の上記各値の変化が示されている。具体的には、シーケンス番号が「4」であるテストセルの重複が発生すると、シーケンス番号が「4」であるテストセルが受信された次に、再びシーケンス番号が「4」であるテストセルが受信されることになる。そして、シーケンス番号が「4」である2つのテストセルのうち、1番目のテストセルが受信された時点では、このテストセルから読み出されたシーケンス番号「4」と期待値「4」との差分は「0」である。この場合、SNカウンタ135の期待値は、受信されたテストセルから読み出されたシーケンス番号を一つインクリメントした値($4+1=5$)へ更新される。そして、シーケンス番号が「4」である2つのテストセルのうち、2番目のテストセルが受信された時点では、このテストセルから読み出されたシーケンス番号「4」と期待値「5」との差分は「-1」となる。この場合、試験用ATMコネクション200上でテストセルの重複あるいは入れ替えが発生したことが判定され、SNNGカウンタ136の計数値が一つインクリメントされる。また、SNカウンタ135の期待値は更新されずにそのままの値が保持される。その後、シーケンス番号が「5」であるテストセルが受信されると、このテストセルから読み出されたシーケンス番号「5」と期待値「5」とが等しくなり、シーケンス番号と期待値との差分が「0」になる。この場合には、SNカウンタ135の期待値は、テストセルから読み出されたシーケンス番号「5」を一つインクリメントした値($5+1=6$)へ更新される。

【0061】次に、セル発生速度制御部121の動作について図11のフローチャートに沿って述べる。まず、セル発生速度パラメータとしてQが指定されると、2430をQで割ったときの商Rと余りSとが算出される(ステップS1)。そして、余りSが0であるか否かが判別される(ステップS2)。

【0062】ステップS2で余りSが0であることが判定された場合には(ステップS2のYESの経路)、第1状態生成部121cに対して、(1)セル1個を出力するタイムスロットの大きさ=R、(2)繰り返し回数=Q、及び(3)状態切り替え=なし、の3つのパラメ

ータが設定される(ステップS3)。そして、セル発生速度制御部121は、セル発生速度が最大値ならばR個のセルを送信可能な時間幅内に、1個のテストセルを送信する状態をQ回繰り返し、タイムスロットの大きさの切り換えは行わない。

【0063】一方、上記のステップS2で余りSが0ではないことが判定された場合には(ステップS2のNOの経路)、Q-SをAとするとともに(ステップS4)、余りSをBとして(ステップS5)、AとBが倍数関係にあるか否かが判別される(ステップS6)。ステップS6でAとBが倍数関係にあることが判定された場合には(ステップS6のYESの経路)、AとBの比a:bが算出される(ステップS7)。

【0064】そして、第1状態生成部121cに対して、(1)セル1個を出力するタイムスロットの大きさ=R、(2)繰り返し回数=a、及び(3)状態切り替え=有り、の3つのパラメータが設定されるとともに、第2状態生成部121dに対して、(4)セル1個を出力するタイムスロットの大きさ=R+1、(5)繰り返し回数=b、及び(6)状態切り替え=有り、の3つのパラメータが設定される(ステップS8)。このとき、セル発生速度制御部121は、セル発生速度が最大値ならばR個のセルを送信可能な時間幅内に、1個のセル送信要求信号を出力することをa回繰り返した後に、タイムスロットの大きさを切り換える。この切り換えにより、セル発生速度制御部121は、セル発生速度が最大値ならばR+1個のセルを送信可能な時間幅内に、1個のセル送信要求信号を出力することをb回繰り返す。

【0065】上記のステップS6において、AとBとが倍数関係にないことが判定された場合には(ステップS6のNOの経路)、第1状態生成部121cに対して、(1)セル1個を出力するタイムスロットの大きさ=R、(2)繰り返し回数=A、及び(3)状態切り替え=有り、の3つのパラメータが設定されるとともに、第2状態生成部121dに対して、(4)セル1個を出力するタイムスロットの大きさ=R+1、(5)繰り返し回数=B、及び(6)状態切り替え=有り、の3つのパラメータが設定される(ステップS9)。このとき、セル発生速度制御部121は、セル発生速度が最大値ならばR個のセルを送信可能な時間幅内に、1個のセル送信要求信号を出力することをA回繰り返した後に、タイムスロットの大きさを切り換える。この切り換えにより、セル発生速度制御部121は、セル発生速度が最大値ならばR+1個のセルを送信可能な時間幅内に、1個のセル送信要求信号を出力することをB回繰り返す。

【0066】以上、本実施形態によれば、受信されたテストセルのシーケンス番号と期待値との大小関係を判別することにより、試験用ATMコネクション上でテストセルが損失されたのか、テストセルの重複が発生したのか、あるいはテストセルの順序が入れ替わったのかを判

別することができる。また、本実施形態におけるセル発生速度の制御方法によれば、テストセルの揺らぎを少なくすることができ、精度の高い試験を行うことができる。

【0067】《他の実施形態》セル発生速度制御部121は、図12に示すように、N個の状態生成部(第1状態生成部121c~第N状態生成部121n、以下、総称して状態生成部121と記す)を有するように構成しても良い。これらの状態生成部121は、1個のセルを出力するタイムスロットの大きさが個々に異なるようなタイミングでセル送信要求信号を出力する。そして、各状態生成部121は、セル送信要求信号を出力する状態を1回行うと、セル送信要求信号の生成を中断し、他の状態生成部121へ状態終了通知信号を出力する。

【0068】例えば、第1状態生成部121cは、セル発生速度が最大のときにR個のテストセルを送信可能な時間幅内に1個のセル送信要求信号を出力する状態(第1状態)を1回実行すると、セル送信要求信号の生成を中断して、第2状態生成部121dに第1状態終了通知信号を出力する。第2状態生成部121dは、第1状態生成部121cからの第1状態終了通知信号を入力すると、セル発生速度が最大のときにR+1個のテストセルを送信可能な時間幅内に1個のセル送信要求信号を出力する状態(第2状態)を1回実行する。この第2状態の実行後、第2状態生成部121dは、セル送信要求信号の生成を中断して、第3状態生成部121eに第2状態終了通知信号を出力する。

【0069】そして、第3状態生成部121eは、第2状態生成部121dからの第2状態終了通知信号を入力すると、セル発生速度が最大のときにR+2個のテストセルを送信可能な時間幅内に1個のセル送信要求信号を出力する状態(第3状態)を1回実行する。この第3状態の実行後、第3状態生成部121dは、セル送信要求信号の生成を中断して、下位の状態生成部(図示せず)に第3状態終了通知信号を出力する。

【0070】同様にして、第N状態生成部121nが第n状態を実行し終わると、第N状態生成部121nから第1状態生成部121cに対して、第N状態終了通知信号が出力され、上記の動作を繰り返し行う。以上の処理を実行することにより、テストセルの伝送速度を故意に不均等にすることができる(図13参照)。

【0071】

【発明の効果】本発明によれば、ATM交換機内の通信経路の導通状態や品質をリアルタイムに検出できる。さらに、本発明の指定手段を用いることにより、テストセルの伝送速度を均等することができ、精度の高い試験を行うことができる。

【図面の簡単な説明】

【図1】本発明の基本構成によるATM交換機試験装置の構成図である。

- 【図 2】実施形態の全体構成図である。
- 【図 3】実施形態で用いられる A T M セルのフォーマットを表す図である。
- 【図 4】実施形態の A T M 交換機試験装置の構成図である。
- 【図 5】実施形態の A T M 交換機試験装置のセル発生速度制御部の詳細構成図である。
- 【図 6】実施形態のセル送信方法及び従来のセル送信方法の概念を表す図である。(a) は実施形態のセル送信方法の概念を表し、(b) は従来のセル送信方法の概念を表す。
- 【図 7】実施形態の S N チェックフローを表すフローチャートである。
- 【図 8】セルロスが生じた場合の動作状態を表す図である。
- 【図 9】順序入れ代わりが生じた場合の動作状態を表す図である。
- 【図 10】セル重複が生じた場合の動作状態を表す図である。
- 【図 11】実施形態のセル発生速度制御部の処理動作を表すフローチャートである。
- 【図 12】A T M 交換機試験装置のセル発生速度制御部の別の構成図である。

の別の構成図である。

【図 1 3】図 1 2 の構成によるセル送信状態を表す図である。

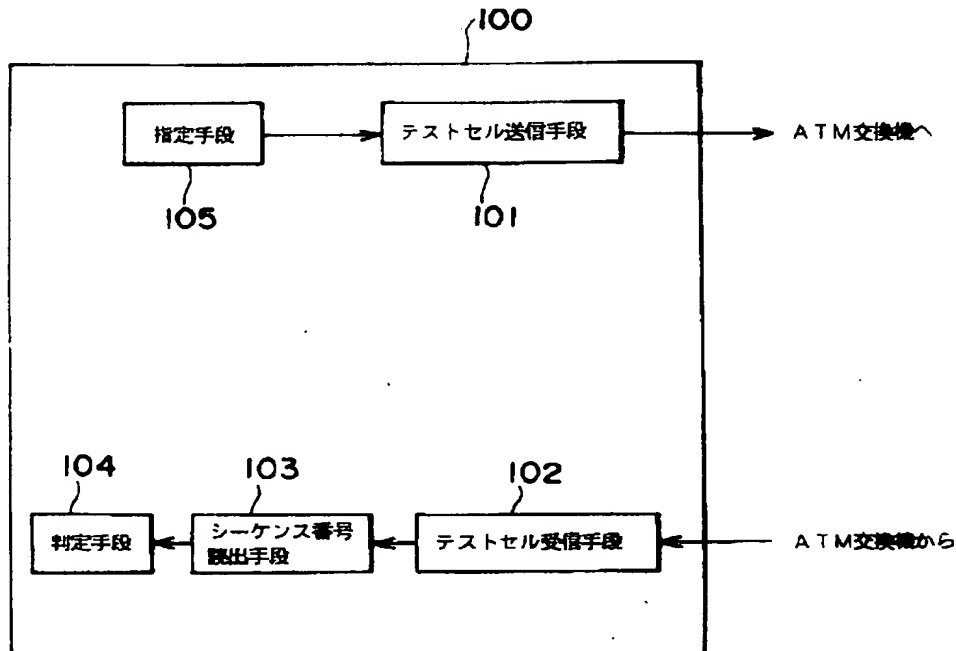
【図 1 4】従来の A T M セルのフォーマットを表す図である。

【符号の説明】

- 1 0・・・加入者回路
 2 0・・・セル多重分離回路
 3 0・・・A T M スイッチ
 100・・・A T M 交換機試験装置
 121・・・セル発生速度制御部
 121A・・・制御部
 121B・・・第 2 状態生成部
 121C・・・第 1 状態生成部
 121D・・・第 2 状態生成部
 123・・・S N カウンタ
 133・・・S N エラーカウンタ
 134・・・S N チェック部
 135・・・S N カウンタ
 136・・・S N N G カウンタ
 141・・・テストセル組立部
 143・・・セル分解部

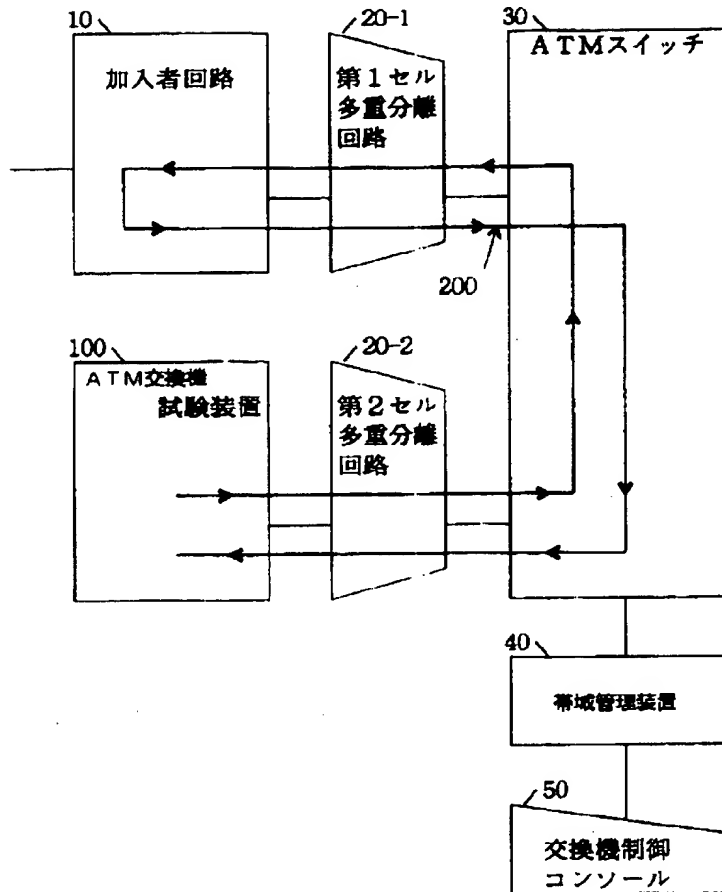
【図 1】

本発明の基本構成による A T M 交換機試験装置の構成図



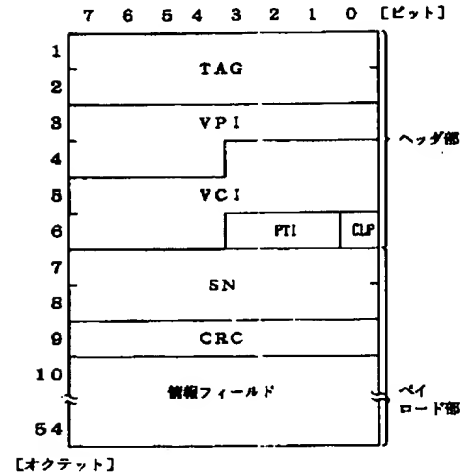
【図2】

実施形態の全体構成図



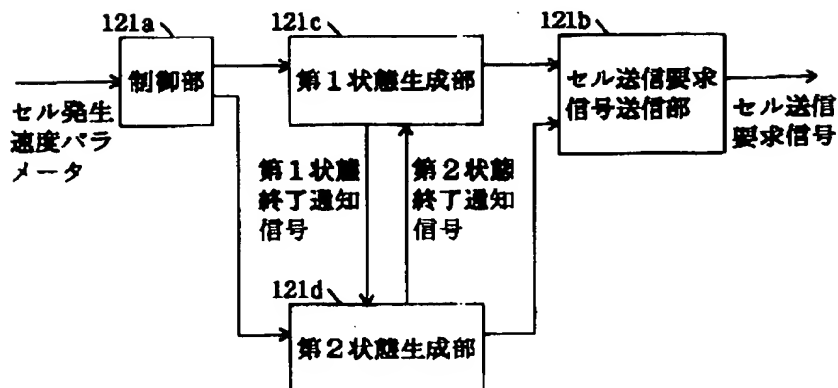
【図3】

実施形態で用いられるATMセルのフォーマットを表す図



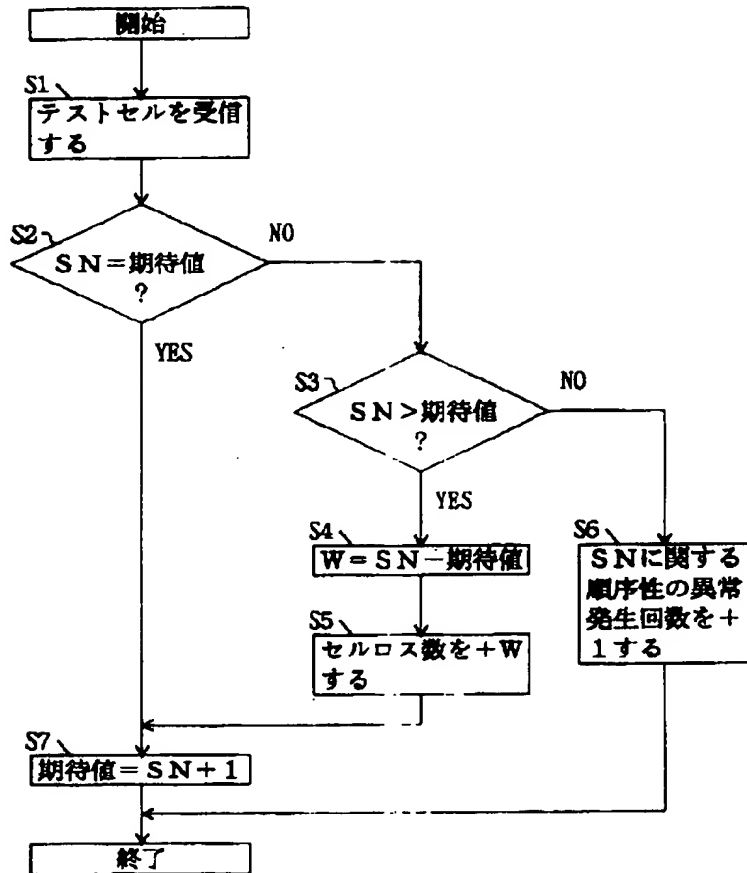
【図5】

実施形態のATM交換機試験装置のセル発生速度制御部の詳細構成図



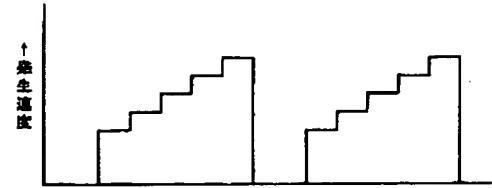
【図7】

実施形態のSNチェックフローを表すフローチャート

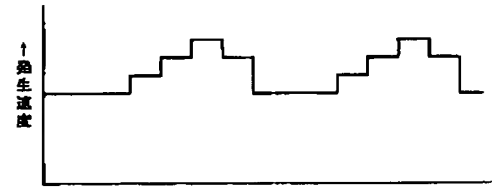


【図13】

図12の構成によるセル送信状態を表す図



(a) 送信状態その1



(b) 送信状態その2

【図10】

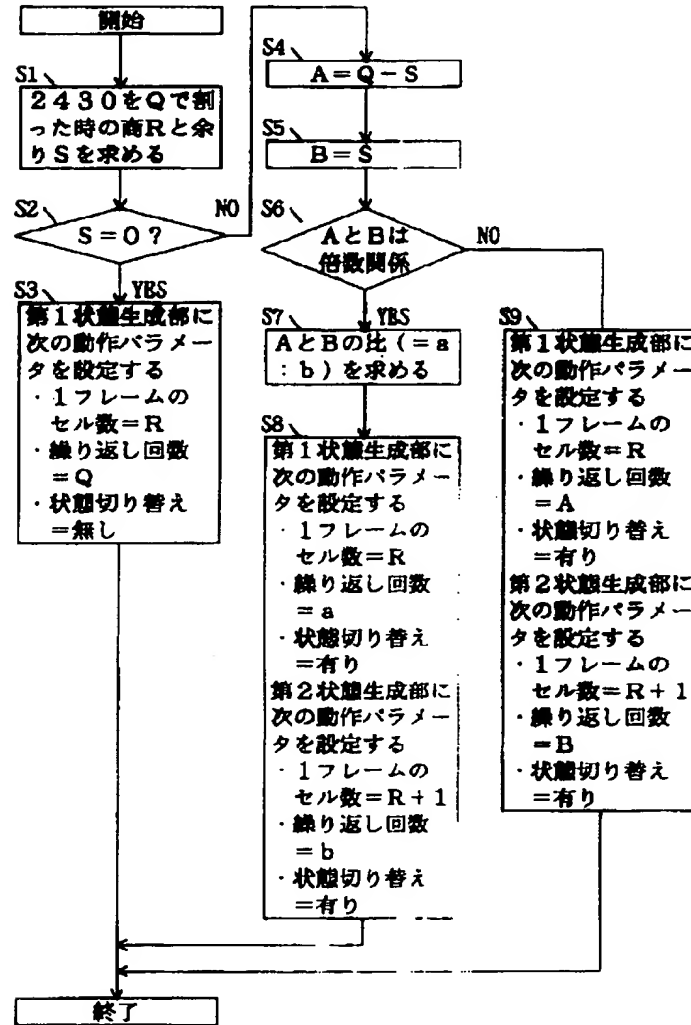
セル重複が生じた場合の動作状態

SN=4のセルが重複して来た

SN	0	1	2	3	4	4	5	6	7
期待値	0	1	2	3	4	5	6	7	8
SN-期待値	0	0	0	0	0	-1	0	0	0
期待値更新	する	する	する	する	する	しない	する	する	する

【図11】

実施形態のセル速度発生制御部の処理動作を表すフローチャート



【図12】

ATMコネクション試験装置のセル発生速度制御部の別の構成図

